

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264647  
 (43)Date of publication of application : 11.10.1996

---

(51)Int.Cl. H01L 21/768  
 H01L 21/3205

---

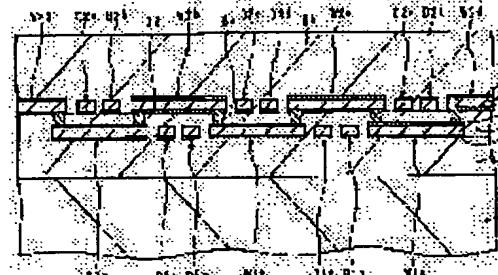
(21)Application number : 07-061014 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 20.03.1995 (72)Inventor : ANSONII HOTSUBUSU

---

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the influence of a stress based on the difference of thermal expansion coefficients of an interconnection and an insulating region for burying the interconnection by forming a glue metal layer and an interconnection layer including a dummy region having no glue metal layer, and covering the interconnection layer with an insulating layer.



**CONSTITUTION:** A lower insulating layer 2 is formed on the surface of an Si substrate 1, and an interconnection layer made of a laminated structure of a glue metal layer 3a, a main interconnection layer 4a and a glue metal layer 5a is formed on the surface of the layer 2. The interconnection layer includes three interconnection regions W1a, W1b, W1c, and dummy interconnection regions D1a, D1b, D1c and D1d in which the upper side layer 5a is removed are disposed between the adjacent interconnection regions. The interconnection layer is covered with an interlayer insulating film 8a. Thus, the influence of the stress based on the difference of thermal expansion coefficients of the interconnection and the insulating region for burying the interconnection can be reduced.

---

## LEGAL STATUS

[Date of request for examination] 19.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-264647

(43)公開日 平成8年(1996)10月11日

(51)Int.C1.

H01L 21/768  
21/3205

識別記号

F I

H01L 21/90  
21/88B  
R  
S

審査請求 未請求 請求項の数8 O.L. (全10頁)

(21)出願番号 特願平7-61014

(71)出願人 000005223

(22)出願日 平成7年(1995)3月20日

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 アンソニー ホップス

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

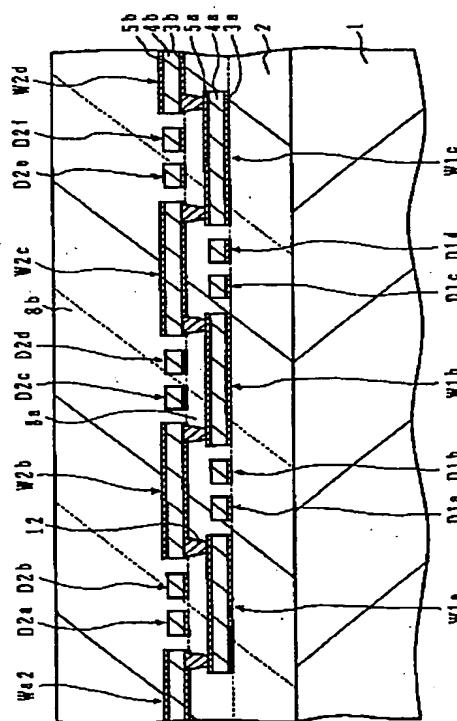
(74)代理人 弁理士 高橋 敬四郎

## (54)【発明の名称】半導体装置

## (57)【要約】

【目的】配線層内に熱的に誘起された応力(ストレス)を緩和する手段を備えた半導体装置に関し、配線と配線を埋め込む絶縁領域との間の熱膨張係数の差に基づく応力の影響を低減した半導体装置を提供することを目的とする。

【構成】半導体素子を形成した半導体基板と、前記半導体基板上方に形成され、上面にグルー金属層を備え、回路の相互接続配線に用いられる第1相互接続配線領域と、上面にグルー金属層を備えず、回路の構成要素として用いられない第1ダミー領域とを含む第1配線層と、前記第1配線層を覆う第1絶縁層とを有する。



## 【特許請求の範囲】

【請求項1】 半導体素子を形成した半導体基板と、前記半導体基板上方に形成され、上面にグルー金属層を備え、回路の相互接続配線に用いられる第1相互接続配線領域と、上面にグルー金属層を備えず、回路の構成要素として用いられない第1ダミー領域とを含む第1配線層と、前記第1配線層を覆う第1絶縁層とを有する半導体装置。

【請求項2】 前記第1相互接続配線領域と第1ダミー領域とは前記半導体基板の表面から同一レベルに存在する請求項1記載の半導体装置。

【請求項3】 さらに、前記第1配線層上方に形成され、上面にグルー金属層を備え、回路の相互接続配線に用いられる第2相互接続配線領域と、上面にグルー金属層を備えず、回路の構成要素として用いられない第2ダミー領域とを含む第2配線層と、

前記第2配線層を覆う第2絶縁層とを有する請求項1または2記載の半導体装置。

【請求項4】 さらに、前記第1配線層の第1相互接続配線領域と前記第2配線層の第2相互接続配線領域との間に配置され、両者を電気的に接続する導電性プラグを有する請求項3記載の半導体装置。

【請求項5】 前記グルー金属層はTiNで形成され、前記相互接続配線領域はAl、Al合金、CuまたはCu合金で形成され、前記ダミー領域はAl、Al合金、W、CuまたはCu合金で形成されている請求項1～4のいずれかに記載の半導体装置。

【請求項6】 前記ダミー領域は同一配線層内の前記相互接続配線領域から3D以内の距離に配置され、ここで  $D = (H + W) / 2$ 、Hは相互接続配線領域の高さ、Wは相互接続配線領域の幅である請求項1～5のいずれかに記載の半導体装置。

【請求項7】 前記第2配線層の第2相互接続配線領域は、下面にもグルー金属層を備える請求項3または4記載の半導体装置。

【請求項8】 前記第1配線層の第1相互接続配線領域は、下面にもグルー金属層を備える請求項1～7のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に配線層内に熱的に誘起された応力（ストレス）を緩和する手段を備えた半導体装置に関する。

## 【0002】

【従来の技術】 半導体集積回路装置において、相互接続配線は極めて重要な役割を果たしている。現在、半導体集積回路装置の相互接続配線の主材料としては、主にアルミニウムまたはアルミニウム合金が用いられている。将来は、現在のアルミニウム相互接続配線技術または銅

系の相互接続配線を用いた技術が利用されると期待されている。

【0003】 半導体集積回路装置における集積度向上の要求と共に、限られた面積内により多くの半導体素子を集積化しようとすると、相互接続配線構造はより複雑化し、配線密度は増加し、配線層の数は増加する傾向を有し、配線幅は狭くなる傾向を有する。

【0004】 このように、半導体集積回路装置、特に加工寸法を減少した高集積度半導体集積回路装置においては、製造工程において相互接続配線に誘起される応力が配線構造の極めて深刻な劣化を招くおそれが多い。相互接続配線構造は、通常SiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>のような絶縁体材料中に埋め込まれている。この構造は、半導体装置の製造を容易にし、相互接続配線相互間を絶縁し、金属表面が露出した時に生じる種々の望ましくない金属表面の影響を低減する。

【0005】 しかしながら、この絶縁体の熱膨張係数と、相互接続配線に用いられる金属の熱膨張係数とは通常大きく異なる。たとえば、Alの熱膨張係数は  $2.3 \times 10^{-5} / ^\circ\text{C}$  であるのに対し、プラズマTEOSのSiO<sub>2</sub>膜の膨張係数は  $0.55 \times 10^{-5} / ^\circ\text{C}$  である。

【0006】 半導体装置の製造プロセスにおいては、常温と高温間の温度サイクルが繰り返し行なわれる。このような温度サイクルにおいて、熱膨張係数の差に基づく大きな応力が生じてしまう。たとえば、配線層を高温で形成し、常温に降温させると熱膨張係数の差に基づく応力が発生する。このような降温過程における応力の発生は、配線層の堆積時のみでなく、バッシベーション膜などの絶縁膜の形成時等にも発生する。

【0007】 相互接続配線と絶縁領域との間に生じる応力は、相互接続金属配線におけるストレスマイグレーションやポイド形成、異なる配線層の配線間を接続するための導電性プラグ下部におけるポイド形成、半導体装置使用時における応力で促進されたエレクトロマイグレーション等の原因となる。また、絶縁領域中の応力は、予知不可能なクラックの原因ともなる。絶縁領域中のクラックは、相互接続配線を横断する可能性も有する。

【0008】 相互接続配線におけるストレスマイグレーションは、大きなパンプー型グレイン構造を形成することによって低減することができる。また、アルミニウムを用いた配線構造においては、たとえばTiN/Al/TiNの積層構造が一般的に用いられる。アルミニウムをTiNの層でサンドイッチすると、応力によってAl配線中にポイドが誘起された時にも、Al層の上下のTiN層によって導電路が確保される。また、TiN層は、アルミニウム配線と絶縁領域との間の接着力が増大する。

【0009】 また、配線層形成時における絶縁層表面平坦化のために、コンタクト孔（ピア孔）中にWプラグを形成することが行なわれる。しかしながら、WはSiO<sub>2</sub>

等の絶縁膜に対し、極めて弱い接着力しか有さない。ここで、Wプラグの表面にTiN層を形成すると、Wプラグの接着力を大幅に増加することができる。TiN層は、W層とAl層との間の接着力増強にも役立つ。Al層とWプラグとの間にTiN層を介在させると、TiN層が存在しない場合と較べ、Al層とWプラグとの間の接着力は増大する。

【0010】また、絶縁層の厚さを薄く最適化することにより、絶縁領域内の応力を低減化することもできる。Al中にCuを微量混合すると、Al配線層中におけるAl原子の拡散を低減することができ、応力によって誘起されるポイド発生も低減することができる。

#### 【0011】

【発明が解決しようとする課題】以上説明した技術は、相互接続配線における応力の影響を低減することができるが、未だ十分ではない。銅を混合したAl合金の配線層において、大きなグレインを形成しても、応力が大きいとストレスマイグレーションによってポイドが発生することがある。相互接続配線構造が複雑化し、多層配線層を含み、熱サイクルが複雑化すると、より大きな応力が生じる可能性がある。

【0012】Al配線上下にグルー金属層としてTiN層を設け、Al導電路の両側に付加的導電路を設けても総ての問題が解決するわけではない。なぜなら、主配線層であるAl配線にポイドが発生すれば、配線の電気抵抗は増大してしまう。

【0013】また、応力が強いと、ピアホールの導電性プラグ下にポイドが発生することもある。このようなポイドは、コンタクト抵抗の上昇の原因となる。絶縁層の厚さを最適化（最小の厚さとする）して、応力を減少しても、多層配線構造においては実用的でなくなることもある。また、これらの対策を講じても、絶縁層中のクラックの解決とはならない。絶縁層中にクラックが発生すると、そのクラックは相互接続配線をも切断することがある。

【0014】図6（A）は、多層配線構造の一例を示す。絶縁層54の上面に、TiN層57、Al（Al合金）層58、TiN層59の下層配線層が形成され、層間絶縁膜64で覆われている。この層間絶縁膜64にピアホールが形成され、ピアホールを埋め込むWプラグ66が形成される。

【0015】層間絶縁膜64の表面上に、TiN層67、Al層68、TiN層69が積層され、上層配線層を形成している。両側の上層配線は、Wプラグ66を介して下層配線に電気的に接続されている。上層配線層表面は、上層層間絶縁膜74によって覆われている。

【0016】このような多層配線構造において、熱的に誘起される応力が大きくなると、多層配線中の強度の弱い所に応力が集中し、相互接続配線中にポイドが発生したり、絶縁領域中にクラックが発生する。

【0017】図6（B）は、このようなポイドやクラックの例を示す。下層配線と上層配線を接続する左側のWプラグの底面に、ポイド80aが発生する。また、下層配線のAl層58中にスリット型のポイド80bが発生する。また、層間絶縁膜64中にクラック82が発生する。

【0018】図7は、実際のサンプルに発生したポイドやクラックを示す透過型電子顕微鏡（TEM）写真である。この多層配線構造は、Wの下層配線上にW/TiN/Al/TiN型多レベル構造を用いている。絶縁領域はSiO<sub>2</sub>で形成されている。Al配線層におけるグレインサイズは十分大きく、Al配線層にはCuが添加されている。写真中に2層のAl配線層が示されており、下層Al配線層の右側配線中にスリット型ポイドが発生し、その右側のWプラグの下面にポイドが2か所発生している。また、左端の層間絶縁膜中にクラックが発生している。

【0019】本発明の目的は、配線と配線を埋め込む絶縁領域との間の熱膨張係数の差に基づく応力の影響を低減した半導体装置を提供することである。本発明の他の目的は、発生する応力を緩和できる構造を有する半導体装置を提供することである。

#### 【0020】

【課題を解決するための手段】本発明の半導体装置は、半導体素子を形成した半導体基板と、前記半導体基板上方に形成され、上面にグルー金属層を備え、回路の相互接続配線に用いられる第1相互接続配線領域と、上面にグルー金属層を備えず、回路の構成要素として用いられない第1ダミー領域とを含む第1配線層と、前記第1配線層を覆う第1絶縁層とを有する。

【0021】前記第1相互接続配線領域と第1ダミー領域とは前記半導体基板の表面から同一レベルに存在することが好ましい。さらに、前記第1配線層上方に形成され、上面にグルー金属層を備え、回路の相互接続配線に用いられる第2相互接続配線領域と、上面にグルー金属層を備えず、回路の構成要素として用いられない第2ダミー領域とを含む第2配線層と、前記第2配線層を覆う第2絶縁層とを有してもよい。

【0022】さらに、前記第1配線層の第1相互接続配線領域と前記第2配線層の第2相互接続配線領域との間に配置され、両者を電気的に接続する導電性プラグを設けてよい。

【0023】上述の構成において、前記グルー金属層はTiNで形成され、前記相互接続配線領域はAl、Al合金、CuまたはCu合金で形成され、前記ダミー領域はAl、Al合金、W、CuまたはCu合金で形成されることがある。

【0024】上記構造において、前記ダミー領域は同一配線層内の前記相互接続配線領域から3D以内の距離に配置され、ここでD = (H + W) / 2、Hは相互接続配

線領域の高さ、Wは相互接続配線領域の幅であるようにしてもよい。

【0025】第2配線層を有する場合、前記第2配線層の第2相互接続配線領域は、下面にもグルー金属層を備えるようにしてもよい。上述の構造において、前記第1配線層の第1相互接続配線領域は、下面にもグルー金属層を備えてもよい。

#### 【0026】

【作用】回路の相互接続配線に用いられる第1相互接続配線領域にはグルー金属層を設け、回路の構成要素として用いられない第1ダミー領域にはグルー金属層を備えないことにより、構造上強度の弱い部分を選択的に形成する。配線構造に応力が蓄積した時には強度の弱いダミー領域界面において優先的に応力が解放される。ダミー領域の近傍にボイドやクラックが発生しても、ダミー領域は回路の構成要素として用いられていないため、悪影響を与えない。

【0027】第1相互接続配線領域と第1ダミー領域とを半導体基板の表面から同一レベルに存在するようにすれば、これらの領域を同一プロセスで形成するのに好適である。製造プロセスを追加することなく、このような構造を作成することができる。

【0028】第1配線層の上に、第2配線層を形成する場合も、第2配線層内に第2相互接続配線領域と第2ダミー領域とを設けることにより、構造上強度の弱い部分を選択的に形成することができる。応力は、強度の弱いダミー領域界面において優先的に解放される。

【0029】第1相互接続配線領域と第2相互接続配線領域とを導電性プラグで接続すれば、平坦性に優れた半導体装置を得ることができる。グルー金属層をTiNで形成すると、良好な接着力が得られる。相互接続配線領域をAl、Al合金、CuまたはCu合金で形成すると、良好な導電性が得られる。ダミー領域をAl、Al合金、W、CuまたはCu合金で形成すると、絶縁層に對し、接着力の弱いダミー領域が得られる。

【0030】ダミー領域と近接する相互接続配線領域との間の距離を3D以内に設定すると、応力解放に有効となる。第2相互接続配線領域の下面にもグルー金属層を備えることにより、第2相互接続配線領域下面の接着力を増加することができる。

【0031】同様、第1相互接続配線領域の下面にもグルー金属層を備えることにより、第1相互接続配線領域下面の接着力を増大することができる。

#### 【0032】

【実施例】図1は、本発明の実施例による半導体装置の断面構造を概略的に示す。Si基板1の表面上に下層絶縁層2が形成されている。下層絶縁層2の表面上に、グルー金属層3a、主配線層4a、グルー金属層5aの積層構造からなる第1配線層が形成されている。

#### 【0033】第1配線層は、図中3つの配線領域W1

a、W1b、W1cを含み、隣接する配線領域間には上側のグルー金属層5aを除去したダミー配線領域D1

a、D1b、D1c、D1dが配置されている。ダミー配線領域D1は、主配線層4aとグルー金属層3aで構成され、回路の構成要素となる配線領域W1から3Dの距離内に配置されている。ここで、 $D = (H+W)/2$ であり、Hは相互接続配線W1の高さ、Wは相互接続配線W1の幅である。

【0034】ダミー領域D1は、配線領域W1の近傍に配置されればその効果を有し、必ずしも距離3D内に配置されなくてもよい。ただし、3D内の距離に配置された時その効果が高い。ダミー領域の形状は特に問わないが、多数の立方体構造で形成することが好ましい。ダミー領域の接着力の弱い表面を広くするのに有効である。ただし、ダミー領域を他の形状とすることもできる。また、これらのダミー領域がその後形成する層間絶縁膜の表面平坦化に役立つように配置することもできる。

【0035】下層配線層は、第1層間絶縁膜8aによって覆われている。第1層間絶縁膜8aには、ピアホールが設けられ、ピアホール内にはWのプラグ12が形成されている。Wプラグ12の表面は、下層配線層8aの表面とほぼ面一にされている。

【0036】第1層間絶縁膜8aの表面上に、グルー金属層3b、主配線層4b、グルー金属層5bの積層構造からなる第2配線層が形成され、その表面はさらに層間絶縁膜8bによって覆われている。第2配線層は、図中4つの配線領域W2a、W2b、W2c、W2dを含み、隣接する各配線領域の間に第1配線層と同様のダミー領域D2a、…D2fが形成されている。ダミー領域においては、上面のグルー金属層5bが除去されている。

【0037】以上の構成において、グルー金属層は、たとえばTiNで形成され、主配線層4はたとえばAl、Al合金、Cu、Cu合金等で形成される。AlやCuを主成分とする主配線層は、層間絶縁膜に用いられるSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>との接着力が弱い。

【0038】相互接続配線として用いられる主配線層の下面および上面にはTiNのグルー金属層が設けられているため、主配線層と絶縁領域との間の接着力は増進されている。これに対して、グルー領域においては上面のグルー金属層が除去されているため、絶縁領域との接着力が弱く、強度の弱い部分を選択的に形成して絶縁領域8とダミー領域Dとの界面に容易にボイドを発生させる。

【0039】本発明者らは、ボイドやクラックが発生すると、その近傍においては、他のボイドやクラックが極めて発生しにくいことを実験的に確認した。ダミー領域においてボイドが発生すると、その近傍において、主配線層はボイドを発生しないこととなる。ダミー領域と配線領域との間の距離を3D以内とすれば、このボイド

防止効果が高い。

【0040】図1の構成においては、応力緩和のためのダミー領域を配線領域と同一材料で形成している。このため、ダミー領域形成のための工程数増加が少ない。主配線層の下面には、グルー金属層が存在するが、上面のグルー金属層が除去されているため、積極的に強度を弱めた個所を選択的に形成できる。

【0041】図2(A)～(E)は、図1に示すような配線領域とダミー領域とを有する配線構造の製造工程を示す。図2(A)において、Si基板1の表面上に下層絶縁層2が形成されており、その上にTiN層3、Al層4、TiN層5の積層構造を堆積する。これらの堆積工程は、たとえばスパッタリング(反応性スパッタリングを含む)により行なうことができる。なお、以下の図においては、Si基板1の図示を省略する。

【0042】図2(B)に示すように、配線層3、4、5形成後、その表面上にホトレジスト層6を塗布し、ダミー領域を形成すべき場所に開口を形成する。この工程は、通常のホトリソグラフィ工程により行なうことができる。このようにして形成したレジストパターン6をエッチングマスクとし、上側のTiN層5をエッチングする。このエッチングは、ドライプロセスまたはウェットプロセスにより行なうことができる。上側のTiN層5のバーニング後、レジストパターン6はアッシング等により除去する。その後、新たなレジスト膜を塗布する。

【0043】図2(C)に示すように、新たなレジスト膜を露光現像し、配線層およびダミー領域をバーニングするためのレジストパターン7を形成する。図2

(D)に示すように、レジストパターン7をエッチングマスクとし、その下のTiN層5、Al層4、TiN層3をエッチングする。このエッチングは、ドライプロセスにより行なうことが好ましい。ただし、ウェットプロセスを用いてもよい。TiN層5、Al層4、TiN層3をエッチングした後、レジストパターン7は除去する。

【0044】図2(E)に示すように、このようにして形成したダミー領域と配線領域とを含む配線層をSiO<sub>2</sub>等の絶縁層8で覆う。絶縁層8の形成は、CVD、プラズマ促進CVD、SOGスピン塗布等の方法によって行なうことができる。

【0045】図2に示すような工程により、図1に示すダミー領域と配線領域とを有する第1配線層、第2配線層を作成することができる。なお、Wプラグは、WF<sub>6</sub>を原料ガスとし、還元反応を用いたCVD等によりブランケットW層を堆積し、その後エッチバック等を行なうことによって形成することができる。Wの選択成長を用いてもよい。

【0046】図1に示すような構成が配線構造における有害なボイド発生の防止にどのように役立つかを以下に

説明する。図3(A)は、図1の多層配線構造の中央部を抽出した図である。第1配線層の配線領域W1bの両側に近接してダミー領域D1b、D1cが形成されており、第2配線層の配線領域W2b、W2cの間の領域に、ダミー領域D2c、D2dが形成されている。ダミー領域D1a、D1b、D2c、D2dの上面には、TiN層5a、5bが形成されていない。

【0047】このような構造に熱サイクルを印加すると、絶縁領域2、8と、配線層との間に大きな応力が発生する。図3(B)は、蓄積された応力が大きくなり、多層配線構造にボイドが発生した状態を示す。絶縁領域と配線層との間に生じた応力がある程度以上大きくなると、ボイドVが発生しやすくなる。

【0048】この時、配線層W1b、W2b、W2cの上面には、TiN層5a、5bが形成されているため、接着力が強くボイドが比較的発生しにくい。これに対し、ダミー領域D1b、D1c、D2c、D2dの上面にはTiN層がないので、接着力は弱い。

【0049】応力が高になると、接着力の弱い界面付近にボイドVが優先的に発生する。ダミー領域D1b、D1c、D2c、D2dにボイドVが発生すれば、その周囲における絶縁領域と配線層との間の応力はボイドによって解放され、これ以上のボイドは発生しにくくなる。応力が解放されると、応力によって誘起される前述の種々の有害な現象は防止されるであろう。

【0050】このように、半導体集積回路装置の回路要素と無関係の場所に優先的にボイドやクラックを発生させることにより、多層配線構造自体を有害なボイドやクラックから防止し、多層配線構造の信頼性を高めることができる。

【0051】図1においては、半導体集積回路装置における2層配線構造を例示したが、配線構造は2層配線に限らない。図4は、本発明の実施例を適用できる他の半導体集積回路装置の構成を概略的に示す。Si基板1の表面上には、選択的にフィールド酸化膜14が形成されている。フィールド酸化膜14で画定された活性領域内にトランジスタTr1、Tr2が形成されている。

【0052】各トランジスタTrは、ゲート酸化膜15、多結晶Si(またはポリサイド)ゲート電極16で形成された絶縁ゲート電極を有する。ゲート電極の側壁上には、サイドウォールオキサイド領域17が形成され、ゲート電極両側にLDD構造のソース/ドレイン領域18が形成されている。また、これらのソース/ドレイン領域表面上には、シリサイド電極19が形成されている。

【0053】これらのトランジスタTr1、Tr2の表面は、SiO<sub>2</sub>等の絶縁層21によって覆われている。絶縁層21にはコンタクトホールが形成され、バリア金属層22、主配線層23の積層構造で形成された第1配線層が形成され、ソース/ドレイン電極19と電気的に

接続している。

【0054】バリア金属層22は、たとえばTi/TiN積層構造で形成される。配線層23は、たとえばA1、W、シリサイド等で形成される。第1配線層の表面を覆ってSiO<sub>2</sub>等の第1層間絶縁膜24が形成され、コンタクトホール（ピアホール）が第1層間絶縁膜24を貫通して設けられる。コンタクトホールにはグルー金属層25、W層26からなる導電性プラグが形成される。グルー金属層はたとえばTiN層である。

【0055】第1層間絶縁膜24の表面上に第2配線層が形成される。第2配線層は、第1配線層と同様、下側グルー金属層27、主配線層28、上側グルー金属層29で形成される。なお、この第2配線層の近傍に上述のダミー領域を任意に配置する。第2配線層の表面は、SiO<sub>2</sub>等の第2層間絶縁膜34によって覆われる。

【0056】第2層間絶縁膜34にコンタクトホールが形成され、グルー金属層35、W領域36で形成された導電性プラグがコンタクトホールを埋める。第2層間絶縁膜34の表面上に、下側グルー金属層、主配線層38、上側グルー金属層39で形成される第3配線層が形成される。この第3配線層の周囲にも、任意に上述のダミー領域を形成する。

【0057】第3配線層の表面は、第3層間絶縁膜44によって覆われる。この第3層間絶縁膜にコンタクトホールを形成し、グルー金属層45、W領域46からなる導電性プラグを形成する。

【0058】このように、任意の多層配線構造を形成し、所望の配線層において配線に近接してダミー領域を設ける。以上、配線層の一部の材料を共通に利用し、配線領域に近接してダミー領域を設ける場合を説明した。ダミー領域の応力緩和効果をさらに高めるには、ダミー領域は接着力の強いグルー金属層を有しないことが望まれる。

【0059】図5は、本発明の他の実施例による配線層の製造工程を概略的に示す。図5(A)は、図2(A)、(B)の工程により、レジストパターン6に従って上側グルー金属層5をバターニングした後、さらに主配線層4、下側グルー金属層3もバターニングした状態を示す。下側グルー金属層3、主配線層4、上側グルー金属層5のバターニング後、レジストパターン6は除去する。

【0060】図5(B)に示すように、このように形成した配線層パターンの上面に、たとえばブランケットW層をCVDにより堆積し、ダミー金属層9を形成する。ダミー金属層9は、配線層に形成した孔を完全に埋め戻すことが望ましい。

【0061】図5(C)に示すように、ダミー金属層9上面からエッチバックを行なうことにより、配線層表面上に堆積したダミー金属層9を除去する。このようにして、孔部を埋め込むダミー金属層のプラグ領域9を形成

する。

【0062】図5(D)に示すように、平坦化した表面上にレジストパターン10を形成し、レジストパターン10の開口部に露出した領域をエッチングによって除去する。ダミー金属領域9周辺のグルー金属層3、5、主配線層4がこのようにして除去される。このバターニング工程の後、レジストパターン10は除去する。なお、ダミー領域9の形状、配置に関しては、前述の実施例と同様である。

10 【0063】図5(E)に示すように、バターニングした配線層表面上に層間絶縁膜8をCVD、プラズマCVD、スピニ塗布等によって形成する。層間絶縁膜との接着力が著しく低いダミー領域9は、全くグルー金属層を備えず、直接絶縁領域と接触する。ダミー領域9を絶縁物との間の接着力が弱いW等により形成することにより、強度の弱い個所が積極的に形成される。

【0064】このようなダミー領域を任意に図1や図4に示すような半導体装置に適用することができる。絶縁層8と配線層との間に発生する応力が高くなると、優先的にダミー領域9と絶縁領域8、2の界面にボイド等が発生し、応力が緩和される。

20 【0065】なお、アルミニウム配線層の場合を説明したが、CuまたはCuを主成分とする配線層の場合にも同様の構造、方法を用いることができる。配線層の近傍に接着力の弱いダミー領域を積極的に配置することにより、ボイドを優先的に発生させ、配線層におけるボイドを防止することができる。

【0066】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、30 種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

### 【0067】

【発明の効果】以上説明したように、本発明によれば、ダミー領域に優先的にボイド等を発生させることにより、配線構造における有害なボイドを防止することができる。

【0068】ダミー領域において、応力緩和を行なうことにより、半導体集積回路装置の信頼性を向上させることができる。

### 40 【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の断面構造を概略的に示す断面図である。

【図2】図1に示す配線構造の主要製造プロセスを示す断面図である。

【図3】図1の構造におけるボイド低減効果を説明するための概略断面図である。

【図4】半導体集積回路装置の他の構成例を示す概略断面図である。

【図5】本発明の他の実施例による配線構造の製造プロセスを概略的に示す断面図である。

【図6】従来技術による多層配線構造に発生するポイドやクラックを説明するための概略断面図である。

【図7】従来技術により作成した半導体集積回路装置の薄膜の断面を示す電子顕微鏡写真である。

【符号の説明】

- 1 半導体基板
- 2 絶縁層
- 3、5 グルー金属層

4 主配線層

6、7 レジスト層（レジストパターン）

8 層間絶縁膜

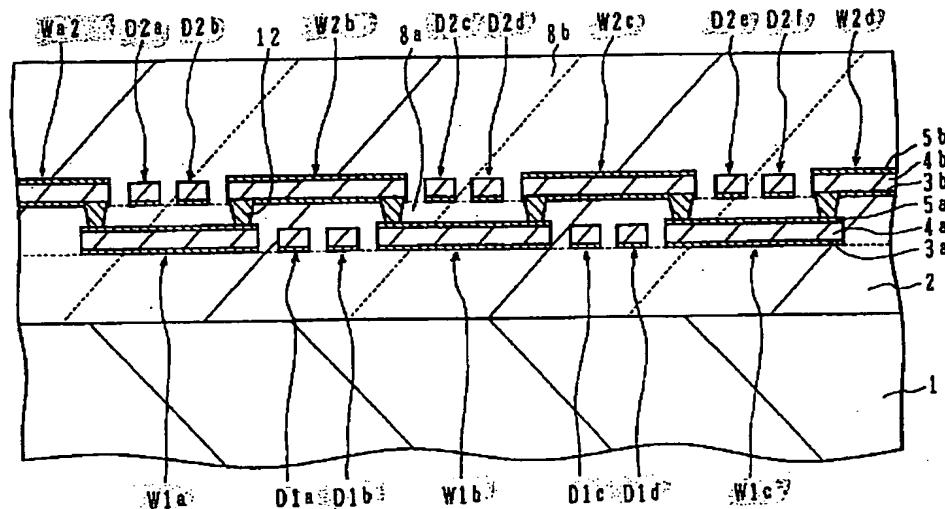
9 Wダミー領域

12 Wプラグ

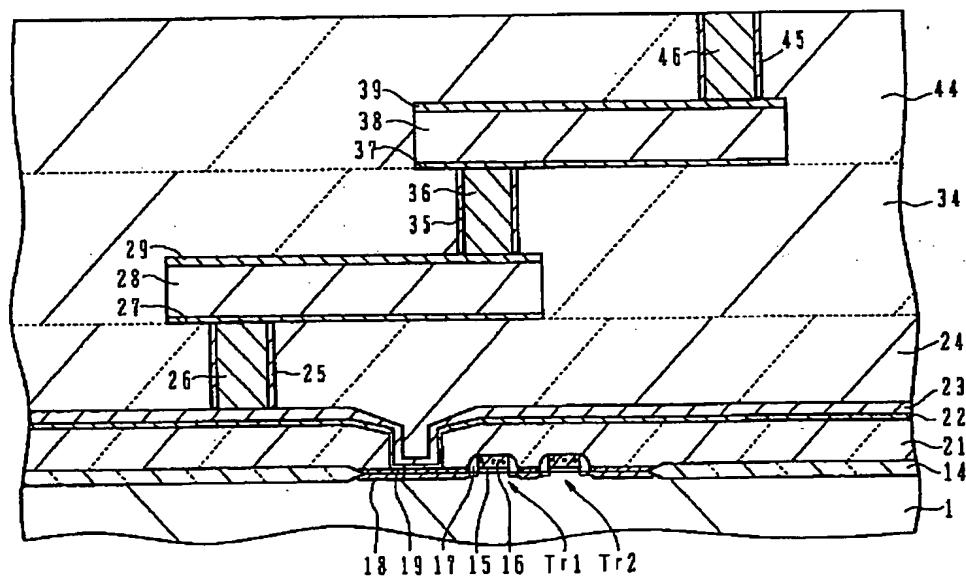
W1、W2 配線層

D1、D2 ダミー領域

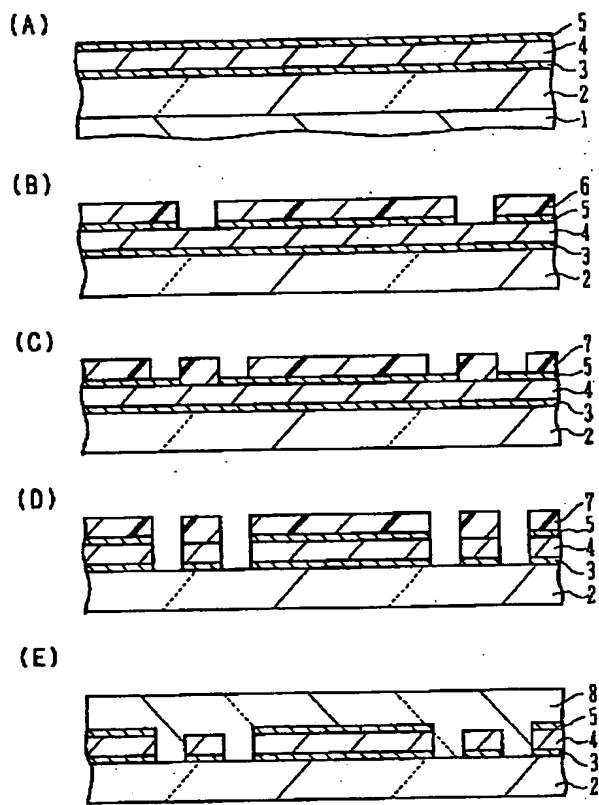
【図13】



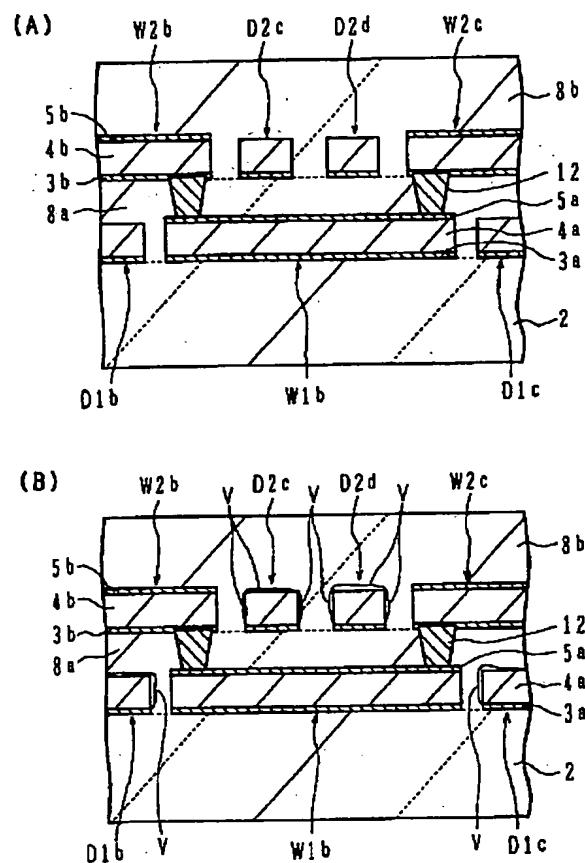
【図4】



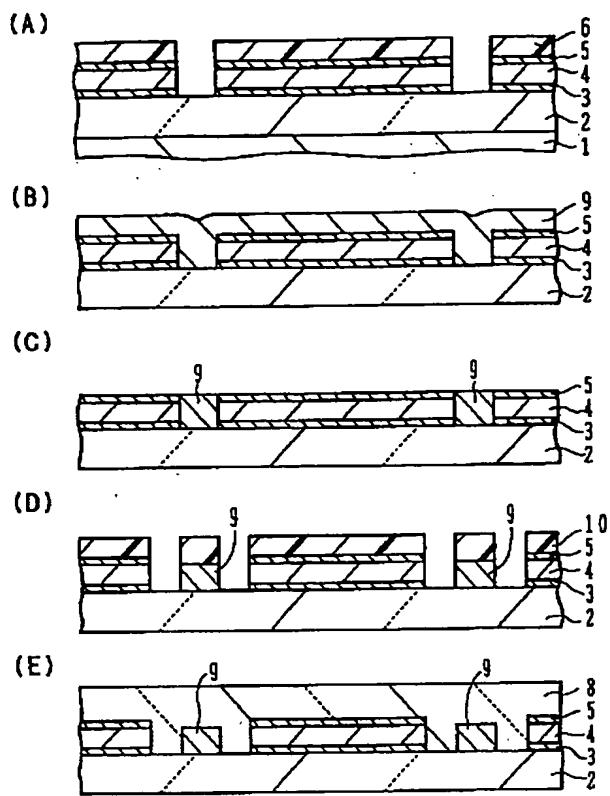
【図 2】



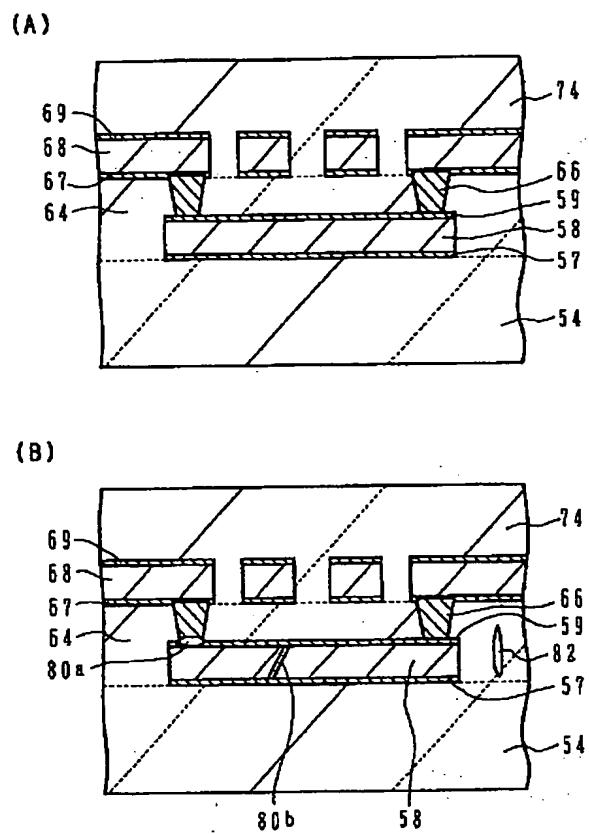
【図 3】



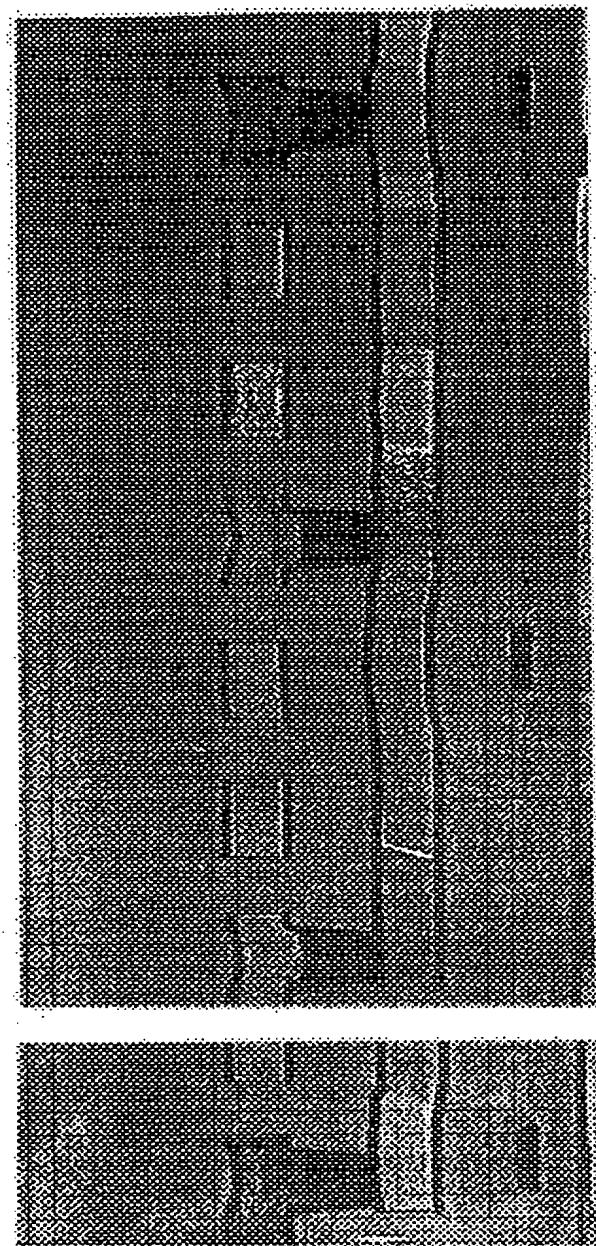
【図 5】



【図 6】



【図 7】



16.8%

BEST AVAILABLE COPY

BEST AVAILABLE COPY